

3/6 WPIL - (C) Derwent- image

AN - 1999-414901 [35]

XP - N1999-310989

TI - Data synthesis device in A/D conversion system - has synthesis unit which synthesizes output of primary and secondary A/D transducers and outputs it as digital data

DC - U21

PA - (NIDE) NEC CORP

NP - 1

NC - 1

PN - JP11168383 A 19990622 DW1999-35 H03M-001/56 14p *
AP: 1997JP-0332252 19971203

PR - 1997JP-0332252 19971203

IC - H03M-001/56 H03M-001/14

AB - JP11168383 A

NOVELTY - A primary A/D transducer (2) outputs the latched data from a latch circuit (9), as a conversion result. A secondary A/D transducer (3) converts the output of a differential detector (10) to a digital data and outputs it, at variation time of a comparator. A synthesis unit (4) synthesizes the output of primary and secondary A/D transducers and output's it as digital data. DETAILED DESCRIPTION - A comparator (8) compares an input analog signal to be converted to digital data, with an analog signal equivalent to standard digital data. The latch circuit (9) performs latch of the standard digital data at a variation time at which the content of comparison result of the comparator varies. A differential detector performs output of the difference of the input analog signal and the analog signal equivalent to the standard digital data. An INDEPENDENT CLAIM is also included for data synthesis method.

- USE - For A/D conversion system.

- ADVANTAGE - Reduces A/D conversion time and hence materializes high speed and high resolution A/D converter on low clock frequency.

DESCRIPTION OF DRAWING(S) - The figure shows the components of A/D converter. (2/3) A/D transducer; (4) Synthesis unit; (8) Comparator; (9) Latch circuit; (10) Differential detector. .(Dwg.1/10)

MC - EPI: U21-A03A U21-A03E

UP - 1999-35

4/6 WPIL - (C)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168383

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 M 1/56

H 0 3 M 1/56

1/14

1/14

B

審査請求 有 請求項の数12 O L (全 14 頁)

(21) 出願番号 特願平9-332252

(22) 出願日 平成9年(1997)12月3日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 千葉 一浩

東京都港区芝五丁目7番1号 日本電気株式会社内

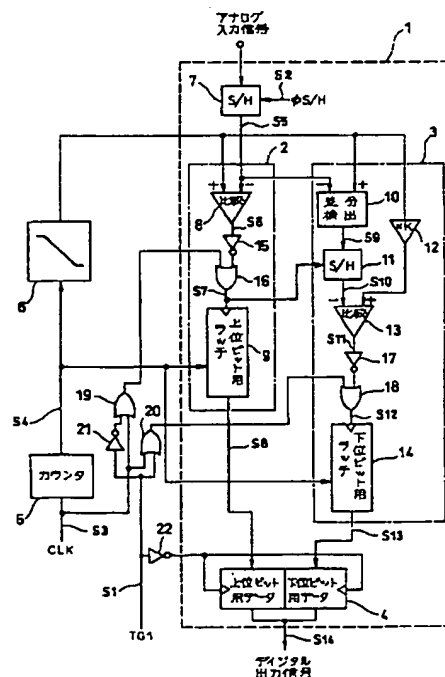
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 A/D変換器及びこれを用いたA/D変換装置並びにA/D変換方法

(57) 【要約】

【課題】 A/D変換に要する変換時間を最小とし、低クロック周波数で、高速かつ高分解能なA/D変換器を実現する。

【解決手段】 粗くA/D変換する上位ビット用A/D変換結果を上位ビット用ラッチ回路9にラッチし、細かくA/D変換する下位ビット用A/D変換結果を下位ビット用ラッチ回路14にラッチする。これら両ラッチ回路のラッチ出力をビット合成回路4にラッチして合成することにより、A/D変換に要するカウント数を減少させることができ、A/D変換に要する変換時間が最小となり、低クロック周波数で、高速かつ高分解能なA/D変換器を実現できる。



【特許請求の範囲】

【請求項1】 デジタルデータに変換すべき入力アナログ信号と値が順次変化する基準デジタルデータに相当するアナログ信号とを順次比較する第1の比較手段と、前記第1の比較手段の比較結果の内容が変化した変化時点における前記基準デジタルデータをラッチする第1のラッチ手段とを有し、このラッチされているデータを変換結果として出力する第1のA/D変換部と、前記入力アナログ信号と前記基準デジタルデータに相当するアナログ信号との差を常時出力する差分検出手段を有し、前記変化時点における前記差分検出手段の出力をデジタルデータに変換して出力する第2のA/D変換部と、前記第1のA/D変換部の出力と前記第2のA/D変換部の出力とを合成し前記入力アナログ信号を変換した変換後のデジタルデータとして出力する合成手段と、を含むことを特徴とするA/D変換器。

【請求項2】 前記第2のA/D変換部は、前記変化時点における前記差分検出手段の出力を保持する保持手段と、前記基準デジタルデータに相当するアナログ信号を、自変換手段の出力の最大値が前記第1のA/D変換部の最小分解能の大きさに等しくなるように減衰させて出力する減衰手段と、前記保持手段の保持内容と前記減衰手段の出力とを順次比較する第2の比較手段と、前記第2の比較手段の比較結果の内容が変化した変化時点における前記基準デジタルデータをラッチする第2のラッチ手段とを有し、このラッチされているデータを変換結果として出力することを特徴とする請求項1記載のA/D変換器。

【請求項3】 前記第1のA/D変換部は前記入力アナログ信号をPビット（Pは正の整数）のデジタルデータに変換し、前記第2のA/D変換部は前記保持手段の保持内容をQビット（Qは正の整数）のデジタルデータに変換し、前記合成手段はNビット（ $N = P + Q$ ）のデジタルデータを出力することを特徴とする請求項2記載のA/D変換器。

【請求項4】 前記合成手段は、前記第1のA/D変換部の出力を上位ビットとし前記第2のA/D変換部の出力を下位ビットとして合成することを特徴とする請求項1～3のいずれかに記載のA/D変換器。

【請求項5】 前記基準デジタルデータを生成するカウンタと、このカウンタの出力である基準デジタルデータをアナログ信号に変換するD/A変換手段とを更に含み、前記入力アナログ信号とD/A変換手段による変換後のアナログ信号との差を前記差分検出手段から常時出力することを特徴とする請求項1～4のいずれかに記載のA/D変換器。

【請求項6】 前記入力アナログ信号と前記保持手段の保持内容とを択一的に出力する第1のスイッチ手段と、前記基準デジタルデータに相当するアナログ信号と前

記減衰手段の出力とを択一的に出力する第2のスイッチ手段と、前記第1及び第2のスイッチ手段からの出力に応じて前記入力アナログ信号と前記基準デジタルデータに相当するアナログ信号とを比較する第1の比較動作並びに前記保持手段の保持内容と前記減衰手段の出力とを比較する第2の比較動作のいずれか一方の動作を行う共用比較回路と、前記共用比較回路の比較結果の内容が変化した変化時点における前記基準デジタルデータをラッチする共用ラッチ回路とを含み、前記共用比較回路を前記第1の比較手段及び前記第2の比較手段として用い、前記共用ラッチ回路を前記第1のラッチ手段及び前記第2のラッチ手段として用いるようにしたことを特徴とする請求項2～5のいずれかに記載のA/D変換器。

【請求項7】 N行（Nは正の整数、以下同じ）及びM列（Mは2以上の整数、以下同じ）に配置され配置されたセンサ素子群からなる二次元センサの出力信号をデジタルデータに変換するA/D変換装置であって、請求項1～6のいずれかに記載のA/D変換器を、前記M列のセンサ素子群に対し1対1に対応させて設けたことを特徴とするA/D変換装置。

【請求項8】 N行及びM列に配置され配置されたセンサ素子群からなる二次元センサの出力信号をデジタルデータに変換するA/D変換装置であって、請求項1～6のいずれかに記載のA/D変換器を、前記M列のセンサ素子群のうち複数列に対して共通に設け、この共通に設けたA/D変換器を前記複数列のセンサ素子群に対して時分割に接続するようにしたことを特徴とするA/D変換装置。

【請求項9】 前記A/D変換器に対して設けた1列のセンサ素子群を構成するN個のセンサ素子を、前記A/D変換器に対して時分割に接続するようにしたことを特徴とする請求項7又は8記載のA/D変換装置。

【請求項10】 請求項1～6のいずれかに記載のA/D変換器が前記二次元センサと共に1チップ化されていることを特徴とするA/D変換装置。

【請求項11】 粗くA/D変換する第1のA/D変換ステップと、細かくA/D変換する第2のA/D変換ステップとを含み、入力アナログ信号をデジタルデータに変換するA/D変換方法であって、前記第1のA/D変換ステップにおける変換終了時点における変換結果と前記入力アナログ信号との差分信号を前記第2のA/D変換ステップにおける変換対象としたことを特徴とするA/D変換方法。

【請求項12】 デジタルデータに変換すべき入力アナログ信号と値が順次変化する基準デジタルデータに相当するアナログ信号とを順次比較する比較ステップと、前記入力アナログ信号と前記基準デジタルデータに相当するアナログ信号との差分データを出力する差分検出ステップと、前記比較ステップの比較結果の内容が変化した変化時点における前記差分データをデジタル

10

20

30

40

50

データに変換する変換ステップと、前記変化時点における前記基準デジタルデータと前記変換ステップによる変換結果とを合成する合成ステップとを含むことを特徴とするA/D変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はA/D変換器及びこれを用いたA/D変換装置並びにA/D変換方法に関し、特に、高分解能で高速で回路の簡便なA/D変換器及びこれを用いたA/D変換装置並びにA/D変換方法に関する。

【0002】

【従来の技術】一般にA/D変換器は、入力されたアナログ信号をデジタルデータに変換するものである。従来のA/D変換器について図8、図9、図10を参照して説明する。従来、この種のA/D変換器は、例えば、Bryan Acklandらの「Camera on Chip」(ISSCC96 DIGEST OF TECHNICAL PAPERS TA1.2 1996年)に示されているように、一般のアナログ信号をディジタル信号に変換するA/D変換器において、高分解能、高速、回路の簡便化を目的として用いられている。

【0003】図8は、従来のシングルスロープ型と呼ばれるA/D変換器の構成図である。同図では2次元に配置された画素231を有するセンサ部230から1行ごとの画素信号が同時に出力される場合に適用したA/D変換器を示している。破線で示されている領域201a、201b、…は全て同じ構成であり、各画素列ごとに形成されている。

【0004】A/D変換器の基本回路は、クロック回路からのクロック数をカウントするカウンタ回路205と、その出力デジタルデータを入力として負極性の振幅が単調に増加するアナログデータを出力するD/A変換器206と、破線で示されている領域201aとから構成されている。そして、領域201aは、アナログ入力信号をサンプリングしてホールドするサンプル&ホールド回路(以後、“S/H回路”と略称する)207aと、このS/H回路の出力とD/A変換器206からの出力との大きさを比較する比較器208aと、この比較器の出力をラッチ制御信号としカウンタ回路205からの出力デジタルデータを入力データとするラッチ回路209aとを含んで構成されている。

【0005】次に、かかる構成からなるA/D変換器の動作について説明する。なお、破線で示した領域201a、201b…は同じ動作であるため、以下は、領域201aの動作についてのみ説明する。

【0006】センサ部230に形成された画素231から出力される負極性信号は、領域201aのA/D変換器のアナログ入力信号となる。このアナログ入力信号は、所定の周期で発生するφS/Hパルスにより、S/

H回路207aにおいてサンプル&ホールドされる。サンプル&ホールドされた後に、カウンタ回路205においてデジタルデータを出力し始める。

【0007】このデジタルデータを入力とするD/A変換器206の出力とS/H回路207aの出力との大きさを比較器208aにより比較する。そして、D/A変換器206の出力の振幅がS/H回路207aの出力に比べて大きくなった時に比較器208aの出力信号はHレベルからLレベルに変化する(以後、“H→L”と略称する)。この比較器の出力をラッチ制御信号としてラッチ回路209aは、比較器出力がLレベルになったときに、カウンタ回路205の出力であるデジタルデータをラッチして保持する。

【0008】以上の動作により、ラッチ回路209aからラッチして出力されるデジタルデータが、画素231から出力されるアナログ入力信号のA/D変換後のデジタルデータとなる。

【0009】図9は、従来のA/D変換器の動作を示す模式図である。ここでは説明を簡単にするために、3ビットA/D変換器の例を示す。同図には、A/D変換器に入力されたアナログ入力信号が、サンプルされてホールドされS/H回路207aの出力として振幅がV0の場合が示されている。

【0010】カウンタ回路205のデジタルデータが100の時に、S/H回路207aの出力V0よりD/A変換器206の出力の振幅が大きくなり(電圧としては小さくなり)、比較器208aの出力がH→Lとなり(図示せず)、ラッチ回路209aはラッチ動作を行い、A/D変換の結果としてデジタルデータ100が得られる。このとき、A/D変換された結果は、アナログデータとしては振幅V3である。電圧 $\Delta V = V3 - V0$ は、A/D変換による量子化誤差である。

【0011】図10はA/D変換器を高分解能にするための構成図である。この種のA/D変換器は、例えば特開平1-253319号公報に示されている。

【0012】同図に示されている回路は、アナログ入力を粗くA/D変換するA/D変換器301と、この変換結果をD/A変換するD/A変換器302と、入力アナログデータとの差分を求めるための減算器303と、求めた差分を増幅するアンプ304と、そして差分データをA/D変換するためのA/D変換器305と、このA/D変換の結果を細かいA/D変換の結果にするためにビットずらしを行う乗算器306と、A/D変換器301の粗いA/D変換結果と細かいA/D変換結果とを合成する加算器307とを含んで構成されている。

【0013】かかる構成とされた回路の動作は、以下のようなになる。すなわち、A/D変換器301で粗いA/D変換を行い、この粗いA/D変換結果をD/A変換器302でD/A変換する。そして、このD/A変換結果とアナログ入力との差分を減算器303で求め、この差

分結果をアンプ304で増幅する。この増幅後、A/D変換器305で細かいA/D変換を行い、乗算器306でビットずらしを行う。最後に、加算器307でビット合成を行う。こうすることによって、高分解能のA/D変換を実現することができる。

【0014】

【発明が解決しようとする課題】上述した従来技術においては、例えば、N（Nは2以上の整数、以下同じ）ビットのA/D変換を行う場合に、Nビットを全て同じ方式でA/D変換を行うために、 2^N 個のカウント数を要する。このため、シングルスロープ型A/D変換器では高分解能にするほど変換時間が長くなる。したがって、高分解能で変換時間が短い用途には適用できないという欠点がある。

【0015】また従来、例えばNビットのA/D変換を行う場合に 2^N 個のカウント数を短時間で発生させるためには、クロック周波数を高める必要がある。このため、シングルスロープ型A/D変換器において変換時間を短くするには、クロック周波数を高くする必要があり、アナログ回路等では、回路のクロック周波数の制限等により、適用できない場合があるという欠点がある。

【0016】さらにまた、従来、細かいA/D変換を行うためには、差分データを求める必要があり、粗いA/D変換と同時に、D/A変換を行い差分データを求めることができない。このため、高分解能にしようすると、はじめに粗いA/D変換を行った後に、ビット数が同等以上のD/A変換を行い差分データを求めた後、さらに細かいA/D変換を行う必要がある。このため、D/A変換を行うための時間が必要であり、高分解能のA/D変換を行うための変換時間が長くなるという欠点がある。

【0017】さらに、複数のデータについてのA/D変換を行う際、各列ごとに形成したA/D変換器ごとに、高分解能化のために粗いA/D変換器、D/A変換器、細かいA/D変換器等を設ける必要があり、回路の共有化ができない等、回路規模を小さくすることができない。このため、センサ等の同時に複数のデータが出力される場合に、各列ごとに高分解能なA/D変換器を形成すると、回路規模が大きくなるという欠点がある。したがって、オンチップ化等、面積が制限される場合には、回路規模を小さくするために分解能を低くしなければならないか、分解能を維持するために時系列で順次A/D変換を行うために変換時間が長くなるという欠点があった。

【0018】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は低クロック周波数で高速に動作し、かつ、高分解能なA/D変換器及びこれを用いたA/D変換装置並びにA/D変換方法を提供することである。また、本発明の他の目的は、回路規模が小さく、オンチップ化に適したA/D変換器及び

これを用いたA/D変換装置並びにA/D変換方法を提供することである。

【0019】

【課題を解決するための手段】本発明によるA/D変換器は、ディジタルデータに変換すべき入力アナログ信号と値が順次変化する基準ディジタルデータに相当するアナログ信号とを順次比較する第1の比較手段と、前記第1の比較手段の比較結果の内容が変化した変化時点における前記基準ディジタルデータをラッチする第1のラッチ手段とを有し、このラッチされているデータを変換結果として出力する第1のA/D変換部と、前記入力アナログ信号と前記基準ディジタルデータに相当するアナログ信号との差を常時出力する差分検出手段を有し、前記変化時点における前記差分検出手段の出力をディジタルデータに変換して出力する第2のA/D変換部と、前記第1のA/D変換部の出力と前記第2のA/D変換部の出力とを合成し前記入力アナログ信号を変換した変換後のディジタルデータとして出力する合成手段と、を含むことを特徴とする。

【0020】そして、前記第2のA/D変換部は、前記変化時点における前記差分検出手段の出力を保持する保持手段と、前記基準ディジタルデータに相当するアナログ信号を、自変換手段の出力の最大値が前記第1のA/D変換部の最小分解能の大きさに等しくなるように減衰させて出力する減衰手段と、前記保持手段の保持内容と前記減衰手段の出力とを順次比較する第2の比較手段と、前記第2の比較手段の比較結果の内容が変化した変化時点における前記基準ディジタルデータをラッチする第2のラッチ手段とを有し、このラッチされているデータを変換結果として出力することを特徴とする。

【0021】また、本発明による他のA/D変換器は、前記入力アナログ信号と前記保持手段の保持内容とを択一的に出力する第1のスイッチ手段と、前記基準ディジタルデータに相当するアナログ信号と前記減衰手段の出力とを択一的に出力する第2のスイッチ手段と、前記第1及び第2のスイッチ手段からの出力に応じて前記入力アナログ信号と前記基準ディジタルデータに相当するアナログ信号とを比較する第1の比較動作並びに前記保持手段の保持内容と前記減衰手段の出力とを比較する第2の比較動作のいずれか一方の動作を行う共用比較回路と、前記共用比較回路の比較結果の内容が変化した変化時点における前記基準ディジタルデータをラッチする共用ラッチ回路とを含み、前記共用比較回路を前記第1の比較手段及び前記第2の比較手段として用い、前記共用ラッチ回路を前記第1のラッチ手段及び前記第2のラッチ手段として用いるようにしたことを特徴とする。

【0022】本発明によるA/D変換装置は、N行（Nは正の整数、以下同じ）及びM列（Mは2以上の整数、以下同じ）に配置され配置されたセンサ素子群からなる二次元センサの出力信号をディジタルデータに変換する

A/D変換装置であって、上記A/D変換器を、前記M列のセンサ素子群に対し1対1に対応させて設けたことを特徴とする。

【0023】また、本発明による他のA/D変換装置は、N行及びM列に配置され配置されたセンサ素子群からなる二次元センサの出力信号をデジタルデータに変換するA/D変換装置であって、請求項1～6のいずれかに記載のA/D変換器を、前記M列のセンサ素子群のうち複数列に対して共通に設け、この共通に設けたA/D変換器を前記複数列のセンサ素子群に対して時分割に接続するようにしたことを特徴とする。

【0024】本発明によるA/D変換方法は、粗くA/D変換する第1のA/D変換ステップと、細かくA/D変換する第2のA/D変換ステップとを含み、入力アナログ信号をデジタルデータに変換するA/D変換方法であって、前記第1のA/D変換ステップにおける変換終了時点における変換結果と前記入力アナログ信号との差分信号を前記第2のA/D変換ステップにおける変換対象としたことを特徴とする。

【0025】本発明による他のA/D変換方法は、デジタルデータに変換すべき入力アナログ信号と値が順次変化する基準デジタルデータに相当するアナログ信号とを順次比較する比較ステップと、前記入力アナログ信号と前記基準デジタルデータに相当するアナログ信号との差分データを出力する差分検出ステップと、前記比較ステップの比較結果の内容が変化した変化時点における前記差分データをデジタルデータに変換する変換ステップと、前記変化時点における前記基準デジタルデータと前記変換ステップによる変換結果とを合成する合成ステップとを含むことを特徴とする。

【0026】要するに本変換器は、Nビットのシングルスロープ型A/D変換器であり、粗くA/D変換する上位ビット用A/D変換(ビット数P)と、細かくA/D変換する下位ビット用A/D変換(ビット数Q)とを行う。このため、従来A/D変換に 2^N 個必要だったカウンタ数を、 $(2^P + 2^Q)$ 個に減少させることができる。このため、高速で高分解能なA/D変換器を実現できる。なお、P及びQは共に正の整数であり、 $P+Q=N$ であるものとする。

【0027】また、同じ変換時間で同じ分解能を実現する場合に、クロック周波数を低くすることができる。

【0028】さらにまた、本発明では、上位ビットのA/D変換の動作と同時に下位ビット用A/D変換の差分データを検出している。すなわち、この検出した差分データを直接、下位ビットのA/D変換対象としているため、上位ビット用A/D変換処理の終了後に、上位ビット用A/D変換データをD/A変換して、アナログ入力信号と上位ビット用A/D変換データとの差分検出を行うことがない。このため、上位ビット用A/D変換処理終了後の所定の時間後に、下位ビット用A/D変換処理

を行うことができ、A/D変換に要する処理時間を短縮することができるのである。

【0029】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。

【0030】図1は、本発明の第1の実施形態によるA/D変換器の構成例を示すブロック図である。同図において、本発明の第1の実施形態によるA/D変換器は、Nビットのシングルスロープ型A/D変換器である。そして、本変換器は、アナログ入力信号をサンプリングしてホールドするS/H回路7と、クロック回路からのクロック数をカウントするカウンタ回路5と、カウンタ回路5の出力デジタルデータを入力としその値の変化に応じて負極性の信号振幅が単調に増加するアナログデータを出力するD/A変換器6と、S/H回路7の出力とD/A変換器6の出力との大きさを比較することによりデジタルデータの上位ビットを得るために粗いA/D変換を行う上位ビット用A/D変換部2(ビット数P)と、この変換結果と入力信号との差分をA/D変換してデジタルデータの下位ビットを得るために細かいA/D変換を行う下位ビット用A/D変換部3(ビット数Q)と、変換後の上位ビットと下位ビットとを合成してNビットのデジタルデータを生成するビット合成回路4とを含んで構成されている。

【0031】上位ビット用A/D変換部2(ビット数P)は、S/H回路7の出力とD/A変換器6の出力との大きさを比較してその比較結果をLレベル又はHレベルで出力する比較器8と、この比較器8の出力を反転するインバータ15と、この反転出力を入力の一つとするORゲート16と、このゲート16から出力される制御信号S7に応じてラッチ動作をし、カウンタ5からのデジタルデータを入力データとする上位ビット用ラッチ回路9から構成されている。

【0032】一方、下位ビット用A/D変換部3(ビット数Q)は、D/A変換器6の出力信号とS/H回路7の出力信号との差分を出力する差分検出回路10と、その差分出力をサンプリングしてホールドするS/H回路11と、自回路の出力の最大値がD/A変換器6の最小分解能(LSB:Least Significant Bit)の大きさに等しくなるように所定のゲインKをかけてD/A変換器6の出力を減衰させるアンプ回路12と、このアンプ回路12の出力とS/H回路11の出力との大きさを比較してその比較結果をLレベル又はHレベルで出力する比較器13と、この比較器13の出力を反転するインバータ17と、この反転出力を入力の一つとするORゲート18と、このゲート18から出力される制御信号S12に応じてラッチ動作をし、カウンタ5からのデジタルデータを入力データとする下位ビット用ラッチ回路14とを含んで構成されている。

【0033】なお比較器8及び13は、周知のコンパレ

ータ等を用いて構成することができる。また、差分検出回路10は、周知の演算増幅器等を用いて構成することができる。

【0034】ビット合成回路4は、ラッチ回路9、ラッチ回路14のデジタルデータを夫々上位ビット、下位ビットとしてラッチすることにより、Nビットのデジタルデータとして合成する2つのラッチ回路によって構成されている。

【0035】また本変換器では、ラッチ回路9及び4へのラッチ制御信号S7及びS12並びにビット合成回路4内のラッチ回路へのラッチ制御信号を生成するために、インバータ21及び22並びにORゲート20及び21を用いている。

【0036】なお、後述するが、センサ等、複数のアナログ信号が同時に出力され、センサ各列ごとにA/D変換部を有する場合には、破線で示されている領域1内のS/H回路7、上位ビット用A/D変換部2、下位ビット用A/D変換部3及びビット合成回路4が各列ごとに形成される。一方、カウンタ回路5とD/A変換器6はチップ全体で1組だけ形成すれば良い。

【0037】かかる構成において、上位ビット用A/D変換部2の動作と同時に下位ビット用A/D変換部3用の差分データを検出し、上位ビット用A/D変換終了後の一定の時間後に下位ビット用A/D変換部の処理を行う。このとき、上位ビット用A/D変換処理後に、上位ビット用A/D変換デジタルデータをD/A変換して入力アナログ信号との差分検出を行わない。

【0038】つまり本変換器によるA/D変換方法は、粗くA/D変換する第1のA/D変換ステップと、細かくA/D変換する第2のA/D変換ステップとを行い、入力アナログ信号をデジタルデータに変換するA/D変換方法であり、第1のA/D変換ステップにおける変換終了時点における変換結果と入力アナログ信号との差分信号を第2のA/D変換ステップにおける変換対象としているのである。つまり、検出した差分データを直接、下位ビットのA/D変換対象としているため、上位ビット用A/D変換処理の終了後に、上位ビット用A/D変換データをD/A変換して、アナログ入力信号と上位ビット用A/D変換データとの差分検出を行うことができない。このため、上位ビット用A/D変換処理終了後の所定の時間後に、下位ビット用A/D変換処理を行うことができ、A/D変換に要する処理時間を短縮することができるのである。

【0039】より具体的なA/D変換方法は、以下の通りである。すなわち、デジタルデータに変換すべき入力アナログ信号と値が順次変化する基準デジタルデータに相当するアナログ信号とを順次比較する比較し、入力アナログ信号と基準デジタルデータに相当するアナログ信号との差分データを出力し、上記比較結果の内容が変化した変化時点における差分データをデジタルデ

ータに変換し、上記変化時点における基準デジタルデータと上記変換の結果とを合成しているのである。

【0040】また、本A/D変換器は、上位ビット用A/D変換器2、及び下位ビット用A/D変換部3で少なくとも、カウンタ及びD/A変換器を共用する回路構成になっている。以上により高速、高分解、小型化が可能なA/D変換器を実現することができる。なお、後述するように、A/D変換用の比較器、ラッチ制御回路、及びデジタルデータ用ラッチ回路を共用することも可能である。

【0041】かかる構成からなるA/D変換器の動作について図2及び図3を参照して説明する。図2は、A/D変換器の動作を示す波形図である。また、図3はA/D変換器の動作を示す模式図である。これら図2及び図3において、A/D変換のビット数について制限はないが、ここでは説明を簡単にするため、上位ビット用A/D変換部2、下位ビット用A/D変換部3ともに、ビット数を3ビットとし、合計6ビットの場合が示されている。また、アナログ入力信号がS/H回路11によりS/Hされた信号が負極性の振幅V0として示されている。

【0042】信号S1は、上位ビット用A/D変換部2と下位ビット用A/D変換部3の動作切替えのため信号である。カウンタ5のカウント数が8（2進数「111」）になったときに、HレベルとLレベルとが切替わり、上位ビット用A/D変換部2の動作時にはHレベル、下位ビット用A/D変換部3の動作時にはLレベルである。

【0043】信号S2は、アナログ入力信号をサンプル&ホールドするための制御信号φS/Hである。この制御信号φS/HがLレベルの時にアナログ入力信号をサンプル&ホールドし、Hレベルに変化した後にカウンタ5がカウントを開始する。

【0044】信号S3は、図1中のクロック信号CLKである。

【0045】信号S4は、カウンタ回路5の出力デジタルデータである。カウンタ回路5では、「000」から「111」までの8クロックをアップカウント、このカウント結果がデジタルデータとして出力される。また、本例では「111」の後、3クロック期間だけカウント動作を停止し、その後、再び「000」から「111」までの8クロックをアップカウントする。以後、同様の動作を繰返す。なお、ここでは「000」から「111」までの8クロックをアップカウントした後に、カウンタ回路5は3クロック期間だけカウント動作を停止している。もっとも、この停止期間については、3クロックに限定されるものではなく、任意なクロック数で良い。

【0046】信号S5は、S/H回路7から出力されるアナログ信号であり、信号S2のタイミングでサンプル

&ホールドされたものである。ここで、S/H回路7から出力されるアナログ信号は負極性で振幅はV0である。

【0047】信号S6は、比較器8の出力である。図3に示されているように、カウンタ5からの信号S4が「100」になった時刻t5（図2参照）においてD/A変換器6の出力振幅が信号S5よりも大きくなり、比較器8の出力信号S6はHレベルからLレベルに変化する（以後、「H→L」と略称する）。なお、制御信号TG1がLレベルの間は、動作に影響はないため無視して良い。

【0048】信号S7は、上位ビット用ラッチ回路9のラッチ制御信号である。信号S7がLレベルの時に、上位ビット用ラッチ回路9がラッチ動作を行い、H→Lに変化した時の入力データを保持し出力する。一方、Hレベルに固定されている状態では、データは変化しない。この信号S7は、制御信号TG1、クロックCLK（信号S3）及び信号S6をインバータ15、21やゲート16、19によって処理することにより、信号S6がLレベルになる（信号S5よりD/A変換器出力の振幅が大きくなる）時には、Lレベルとならない。したがって、その1クロック前のデジタルデータ「011」が上位ビット用ラッチ回路9にラッチされることになる。

【0049】信号S8は、上位ビット用ラッチ回路9の出力デジタルデータである。信号S7により、信号S6がLレベルになる1クロック前のデジタルデータ「011」が、このラッチ回路9にラッチされている。このデジタルデータ「011」が本A/D変換器の上位ビットのデータであり、図3中に示されているアナログ電圧V1に相当する。

【0050】信号S9は、差分検出器10の出力アナログデータである。この信号S9は、S/H回路7の出力信号S5とD/A変換器6の出力信号との差分を示している。なお、差分検出器10の動作は、上位ビット用A/D変換部2の動作中に同時に行われている。

【0051】信号S10は、S/H回路11の出力信号である。S/H回路11の制御信号は信号S7であるため、時刻t5（図2参照）以後は、入力アナログ電圧V0と上位ビット用A/D変換の結果であるアナログ電圧V1との差分であるアナログ電圧V2を出力し続ける。

【0052】信号S11は、比較器13の出力である。図3に示されているように、カウンタ5からの信号S4が「011」になった時刻t15（図2参照）において、アンプ回路12により減衰されたD/A変換器6の出力振幅が信号S10よりも大きくなり、比較器13の出力信号S11はH→Lに変化する。なお、制御信号TG1がHレベルの間は、動作に影響はないため無視して良い。

【0053】信号S12は、下位ビット用ラッチ回路14のラッチ制御信号である。信号S12がLレベルの時

に、下位ビット用ラッチ回路14がラッチ動作を行い、H→Lに変化した時の入力データを保持し出力する。一方、Hレベルに固定されている状態では、データは変化しない。この信号S12は、制御信号TG1、クロックCLK（信号S3）及び信号S10をインバータ17やゲート18、20によって処理することにより、信号S11がLレベルになる時にはLレベルとならない。したがって、その1クロック前のデジタルデータ「010」が下位ビット用ラッチ回路14にラッチされることになる。

【0054】信号S13は、下位ビット用ラッチ回路14の出力デジタルデータである。信号S12により、信号S11がLレベルになる1クロック前のデジタルデータ「010」が、このラッチ回路14にラッチされている。このデジタルデータ「010」が本A/D変換器の下位ビットのデータであり、図3中に示されているアナログ電圧V2に相当する。

【0055】デジタル出力信号S14は、ビット合成回路4から出力されるデジタルデータである。

【0056】かかる構成において、制御信号TG1をインバータ22により反転したラッチ制御データがLレベルとなる時刻t20に、上位ビット用ラッチ回路9の出力データである信号S8と下位ビット用ラッチ回路14の出力データである信号S13とが、ビット合成回路4にラッチされる。なお、ビット合成回路4を用いずに、上位ビット用ラッチ回路9及び下位ビット用ラッチ回路14の出力データを、時刻t15から時刻t20までの期間に使用すれば、ビット合成回路4の出力データと同じ結果を得ることができる。また、インバータ15、17、21及び22やゲート16、18、19、20を用いた各論理回路は、図1に示されている構成に限定されることはなく、図2に示されている信号S7及び信号S12が得られれば他の構成の論理回路を用いても良い。

【0057】図3に示されているように、「011」が上位ビット、「010」が下位ビットとして夫々ラッチされる間、「000」から「111」までのクロック数に相当する時間と、回路のリセット等に要する時間と、再び「000」から「111」までのクロック数に相当する時間とを合計した時間がA/D変換1回に要する時間となる。具体的には、時間T1、時間T2、時間T3を全て合計した時間となる。したがって、クロック数2¹+3+2¹に相当する時間を要することになる。

【0058】ここで、図1中のビット合成回路4からデータが出力されるタイミングについて図4を参照して説明する。図4には、図2中の信号TG1、S7、S8、S12、S13、S14の他、図1中のビット合成回路4の内容（上位ビット及び下位ビット）が示されている。同図において、信号TG1がHレベルの間Aにおいては、上位ビットデータが上位ビット用ラッチ回路9にラッチ可能である。また、信号TG1がLレベルの期

間Bにおいては、下位ビットデータが下位ビット用ラッチ回路14にラッチ可能である。

【0059】信号S8は当初過渡状態であり、時刻t4の立下りタイミングにおいて、上位ビット用ラッチ回路9に「011」がラッチされる。また、信号S13も当初過渡状態であるが、時刻t14の立下りタイミングにおいて、下位ビット用ラッチ回路14に「010」がラッチされる。したがって、期間Cにおいては、上位ビットデータが信号S8として出力され、下位ビットデータが信号S13として出力されていることになる。

【0060】そして、時刻t20においては、ビット合成回路4に、上位ビット用ラッチ回路9の「011」と下位ビット用ラッチ回路14の「010」とがラッチされる。よって、ビット合成回路4から「011010」が出力されることになる。

【0061】なお、信号TG1は、以後もHレベルの期間AとLレベルの期間Bとを交互に繰返すので、以上と同様の動作によってA/D変換が引続き行われる。

【0062】図1に戻り、本A/D変換器では、上位ビット用A/D変換及び下位ビット用A/D変換において少なくとも、カウンタ及びD/A変換器を共用している

ので、回路規模を小さくでき、オンチップ化が容易になるのである。

【0063】次に、本発明の第2の実施の形態について図面を参照して説明する。図5は本発明の第2の実施形態によるA/D変換器の構成を示すブロック図である。同図において、図1と同等部分は同一符号により示されており、その部分の詳細な説明は省略する。

【0064】同図において、本実施形態によるA/D変換器は、アナログ入力信号をサンプリングしてホールドするS/H回路7と、クロック回路からのクロック数をカウントするカウンタ回路5と、このカウンタ回路5の出力デジタルデータを入力としその値の変化に応じて負極性の信号振幅が単調に増加するアナログデータを出力するD/A変換器6と、制御信号TG1により接続状態が切替わるスイッチ124と、目的とするデジタルデータの上位ビット及び下位ビットを順次変換するためのA/D変換部102と、差分検出回路10と、S/H回路11と、上位ビットと下位ビットを合成してNビットのデジタルデータを生成するビット合成回路4とを

含んで構成されている。

【0065】A/D変換部102は、比較器8と、この比較器8の出力を入力とするインバータ15と、この出力及び制御信号TG1を入力とするORゲート16と、この出力にตอบสนองしてラッチ動作を行いカウンタ5からのデジタルデータを入力データとするラッチ回路109から構成される。なお後述するが、同様に、センサ等の複数のアナログ信号が同時に出力され、センサ各列ごとにA/D変換器を有する場合には、破線で示されている領域101が各列ごとに形成されるものとする。一方、

カウンタ回路5及びD/A変換器6は、チップ全体で1組だけ形成すれば良い。

【0066】かかる構成において、はじめに、スイッチ124が端子Aと接続して、S/H回路7の出力とD/A変換器6の出力との大きさを比較することで、A/D変換部102は図1の上位ビット用A/D変換部として動作し、粗いA/D変換を行う。これと同時に、差分検出回路10及びS/H回路11により差分検出を行う。次に、スイッチ124が端子Bとの接続して、差分検出回路10の出力とD/A変換器6の出力を減衰させたアンプ回路12の出力との大きさを比較することで、図1の下位ビット用A/D変換部として動作する。最後にビット合成回路4では制御信号TG1により、上位ビット用A/D変換の終了時に上位ビット用ラッチにA/D変換結果をラッチし、同様に下位ビット用A/D変換の終了時にA/D変換結果をラッチする。以上の動作により、Nビットのデジタルデータが生成され保持される。

【0067】本A/D変換器の特徴は、図1の下位ビット用A/D変換部3の比較器13、インバータ17、ORゲート18、下位ビット用ラッチ14を、スイッチ124を用いることで上位ビット用A/D変換部2と共用したことである。このため、A/D変換器の回路規模を小さくすることができるのである。

【0068】ここで、図5中のビット合成回路4からデータが出力されるタイミングについて図6を参照して説明する。図6には、図5中の信号TG1の他、ラッチ回路109の出力、図5中のビット合成回路4の内容（上位ビット及び下位ビット）、ビット合成回路4の出力が示されている。同図において、信号TG1がHレベルの期間Aにおいては、上位ビットデータがラッチ回路109にラッチ可能である。また、信号TG1がLレベルの期間Bにおいては、下位ビットデータがラッチ回路109にラッチ可能である。

【0069】ラッチ回路109の出力は当初過渡状態であり、図4の場合と同様に「011」がラッチされた後、信号TG1の立下りタイミングで上位ビットとしてビット合成回路4にラッチされる。その後、ラッチ回路109の出力は再び過渡状態となり、図4の場合と同様に「010」がラッチされた後、信号TG1の立上りタイミングで下位ビットとしてビット合成回路4にラッチされる。

【0070】したがって、「010」がラッチされる信号TG1の立上りタイミングから次の立下りタイミングまでの間においては、ビット合成回路4からは正しいデータ「011010」が出力されることになる。

【0071】本実施の形態においては、比較器、ラッチ制御回路、及びデジタルデータ用ラッチ回路をも共用しているので、図1の場合よりも回路を小型化でき、よりオンチップ化に適したA/D変換器を実現できるので

ある。

【0072】次に、本発明の第3の実施形態について図面を参照して説明する。図7は本発明の第3の実施形態によるA/D変換装置の構成を示すブロック図である。同図において、図1及び図2と同等部分は同一符号により示されており、その部分の詳細な説明は省略する。

【0073】同図には、二次元(N行×M列)に配置された画素31-11~31-NMを有するセンサ部30から1行ごとの画素信号が同時に出力されるセンサ部に接続されるA/D変換器の構成例が示されている。同図中の破線で示されている領域1a、1b…、1nは、上述した第1の実施形態である図1中のA/D変換器の領域1に相当する。これらの各領域は、上位ビット用A/D変換部2a、2b…と、下位ビット用A/D変換部3a、3b…と、ビット合成回路4a、4b…とを夫々内蔵し、各画素の列(31-11~31-N1、…、31-1M~31-NM)ごとに形成されている。なお、カウンタ回路5及びD/A変換器6は1組のみ形成されている。

【0074】同図に示されているように、カウンタ回路5及びD/A変換器6を1組のみ形成し、各画素列ごとに上位ビット用A/D変換部、下位ビット用A/D変換部、ビット合成回路のみを内蔵した回路を形成することで、従来例のようにカウンタ回路及びD/A変換器を多数内蔵する必要はなく、回路規模を小さくすることができる。このため、高分解能なA/D変換器を、回路規模を大きくすることなく実現でき、オンチップ化が可能である。さらに、同図には示されていないが、領域1a、1b…において、上述した第2の実施形態である図5に示されているA/D変換器を用いれば、さらに回路規模を小さくすることができ、オンチップ化により好適である。

【0075】ここで、センサ等の信号出力が1行分同時に出力され、夫々の信号に対しA/D変換が必要な場合には、A/D変換器が各列毎に形成されるのが一般的である。このような場合においても、本実施形態では、全A/D変換器に対して、1組のカウンタ及びD/A変換器のみを設けるだけで良いのである。したがって、回路規模を小さくでき、センサ部30と領域1a、1b…とを1チップにしたオンチップ化が容易になる。さらに、比較器、ラッチ制御回路及びデジタルデータ用ラッチ回路をも共用することができ、回路規模を小さくできオンチップ化が容易になる。

【0076】以上はCCD(Charge Coupled Device)等、複数の画素を有するセンサの場合について説明したが、これに限らずN行及びM列に配置され配置されたセンサ素子群からなる他の二次元センサについて本発明が広く適用できることは明らかである。

【0077】そして、二次元センサの場合に、任意の複数のセンサ素子列に対して1つの割合でA/D変換器を共通に設け、各センサ素子からの出力信号をスイッチ等によって時分割に切替えてA/D変換器に接続して、夫々A/D変換を行っても良い。このような構成にすることで、A/D変換器の回路数を少なくすることができる。なお、1つのセンサ素子列に対して1つのA/D変換器が接続されている状態においては、そのセンサ素子列に含まれている各センサ素子の出力が順にA/D変換器に接続されて順にA/D変換される。このA/D変換の順序は、ランダムでも良いし、1行おき(複数行について奇数番目の行と偶数番目の行とを交互に行う等)でも良い。

【0078】さらに、上述した画素信号を直接A/D変換するとは異なり、画素信号を入力とする各画素列又は所定の複数の画素列に対して1個の割合で形成された読出し回路(例えば、バイアス成分除去回路、フィルタ回路、積分回路、増幅回路等の機能を有する回路)の出力信号に対して上述のA/D変換を行うこともできる。このような構成にすることで、画素信号に含まれる不要な成分(バイアス成分、ノイズ等)を除去し、有効な成分のみをA/D変換することができる。例えば、CCDセンサの出力信号からリセットレベルの電圧を差し引いて有効なレベルのみを抽出することができるのである。また、A/D変換器以後の処理が容易になる。

【0079】以上のように、粗くA/D変換する上位ビット用A/D変換(ビット数P)と、細かくA/D変換する下位ビット用A/D変換(ビット数Q)とを行うことにより、A/D変換に要するカウント数を減少させることができるのである。具体的には、従来では 2^P 個だったものを、 $(2^P + 2^Q)$ 個に減少させることができる。

【0080】また、上位ビット用A/D変換部の動作と同時に下位ビット用A/D変換部用の差分データを検出しているため、上位ビット用A/D変換部処理の終了後に、従来の上位ビット用A/D変換データをD/A変換することなしに、下位ビット用A/D変換部処理を行っている。さらに、上位ビット用A/D変換と、下位ビット用A/D変換のビット数を、A/D変換に要するカウント数が最小になるように決定しているため、A/D変換に要する変換時間が最小となる。以上のことから、低クロック周波数で、高速かつ高分解能なA/D変換器を実現できるのである。

【0081】さらにまた、上位ビット用A/D変換部及び下位ビット用A/D変換部において、少なくともカウンタ及びD/A変換器を共用しているので、画素が各列毎に並列に形成されているセンサ等の信号出力後のA/D変換を行う場合にも回路規模の小型化、オンチップ化に適したA/D変換器を実現できる。さらに、比較器、

ラッチ制御回路、及びデジタルデータ用ラッチ回路を共用することもでき、回路規模のより小型化及びオンチップ化に適したA/D変換器を実現できる。

【0082】請求項の記載に関連して本発明は更に次の態様をとる。

【0083】(1) 前記保持手段は、前記変化時点において前記差分検出手段の出力をサンプリングしてホールドするサンプルホールド回路であることを特徴とする請求項2記載のA/D変換器。

【0084】(2) 前記カウンタは、外部から入力されるクロックに応じてカウント動作を行い、このカウント値を前記基準デジタルデータとして出力することを特徴とする請求項5記載のA/D変換器。

【0085】

【発明の効果】以上のように本発明は、粗くA/D変換する上位ビット用A/D変換と、細かくA/D変換する下位ビット用A/D変換とを行い、これらのA/D変換結果を合成することにより、A/D変換に要するカウント数を減少させることができ、A/D変換に要する変換時間が最小となり、低クロック周波数で、高速かつ高分解能なA/D変換器を実現できるという効果がある。また、上位ビット用A/D変換部及び下位ビット用A/D変換部において、少なくともカウンタ及びD/A変換器を共用しているので、画素が各列毎に並列に形成されているセンサ等の信号出力後のA/D変換を行う場合等においても回路規模の小型化、オンチップ化に適したA/D変換器を実現できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるA/D変換器の構成を示す図である。

* 30

* 【図2】図1のA/D変換器の各部の動作を示す波形図である。

【図3】図1のA/D変換器の動作を示す模式図である。

【図4】図1中のビット合成回路からデータが出力されるタイミングを示す図である。

【図5】本発明の第2の実施の形態によるA/D変換器の構成を示す図である。

【図6】図5中のビット合成回路からデータが出力されるタイミングを示す図である。

【図7】本発明の第3の実施の形態によるA/D変換器の構成を示す図である。

【図8】シングルスロープ型A/D変換器の従来例の構成を示す図である。

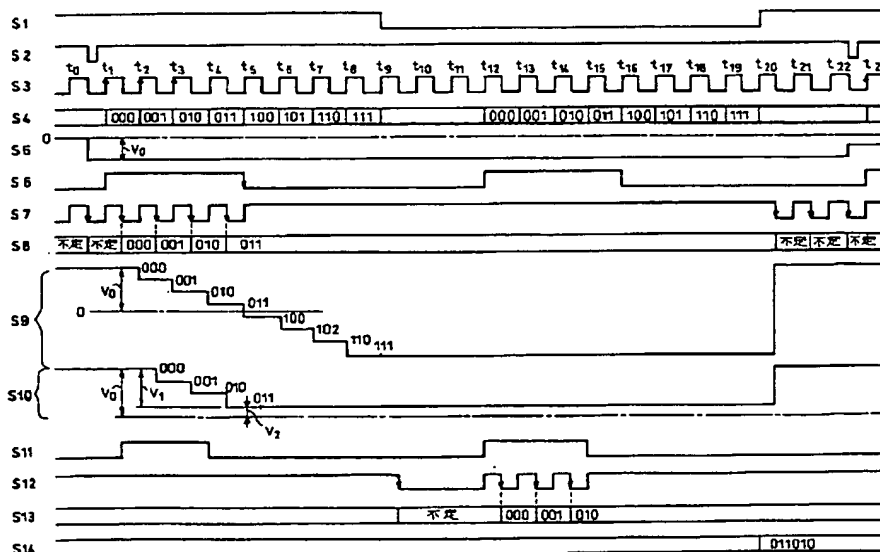
【図9】従来例の動作を示す模式図である。

【図10】従来例の高分解能なA/D変換器の構成図である。

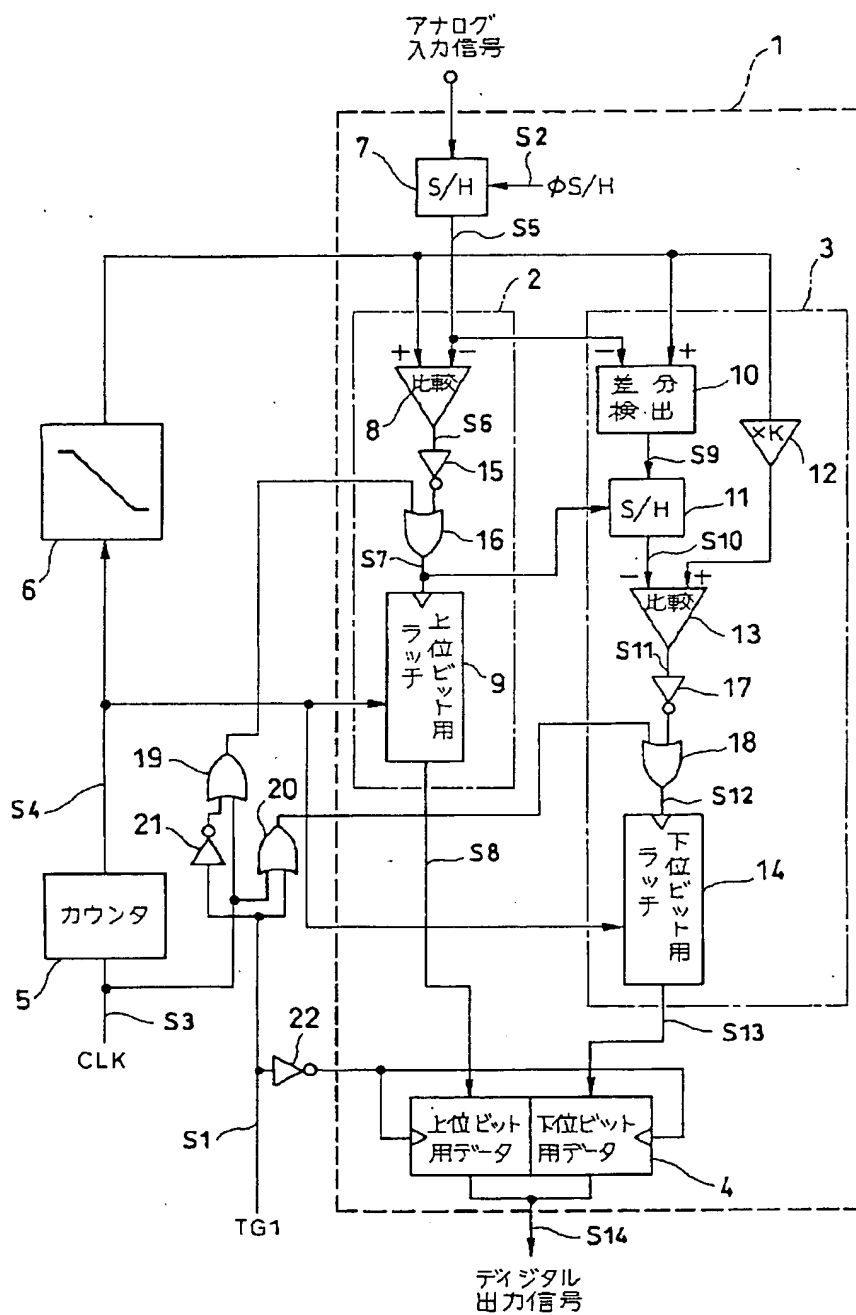
【符号の説明】

- 2, 2 a, 2 b... 上位ビット用A/D変換部
- 3, 3 a, 3 b... 下位ビット用A/D変換部
- 4, 4 a, 4 b... ビット合成回路
- 5 カウンタ回路
- 6 D/A変換器
- 7, 11 S/H回路
- 8, 13 比較器
- 9 上位ビット用ラッチ回路
- 10 差分検出回路
- 12 アンプ回路
- 14 下位ビット用ラッチ回路

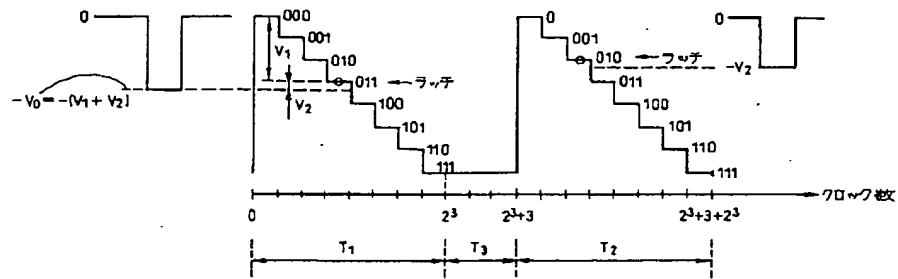
【図2】



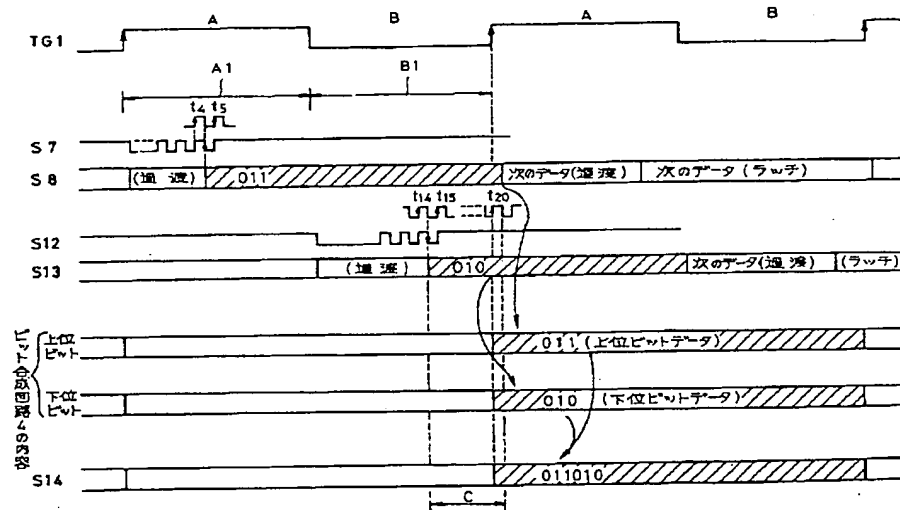
【図1】



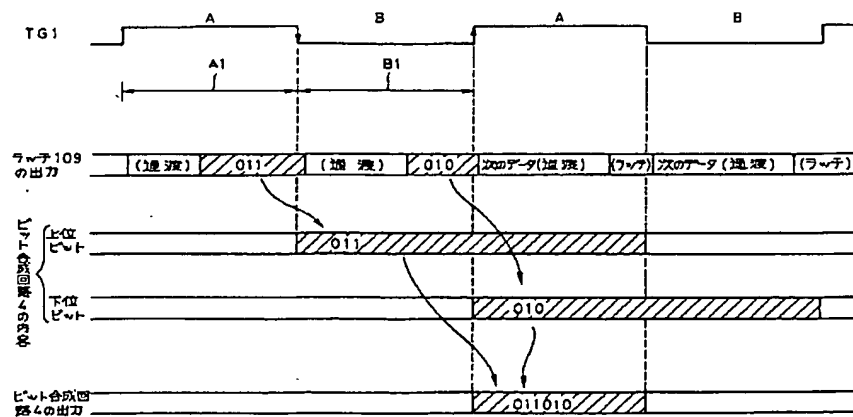
【図3】



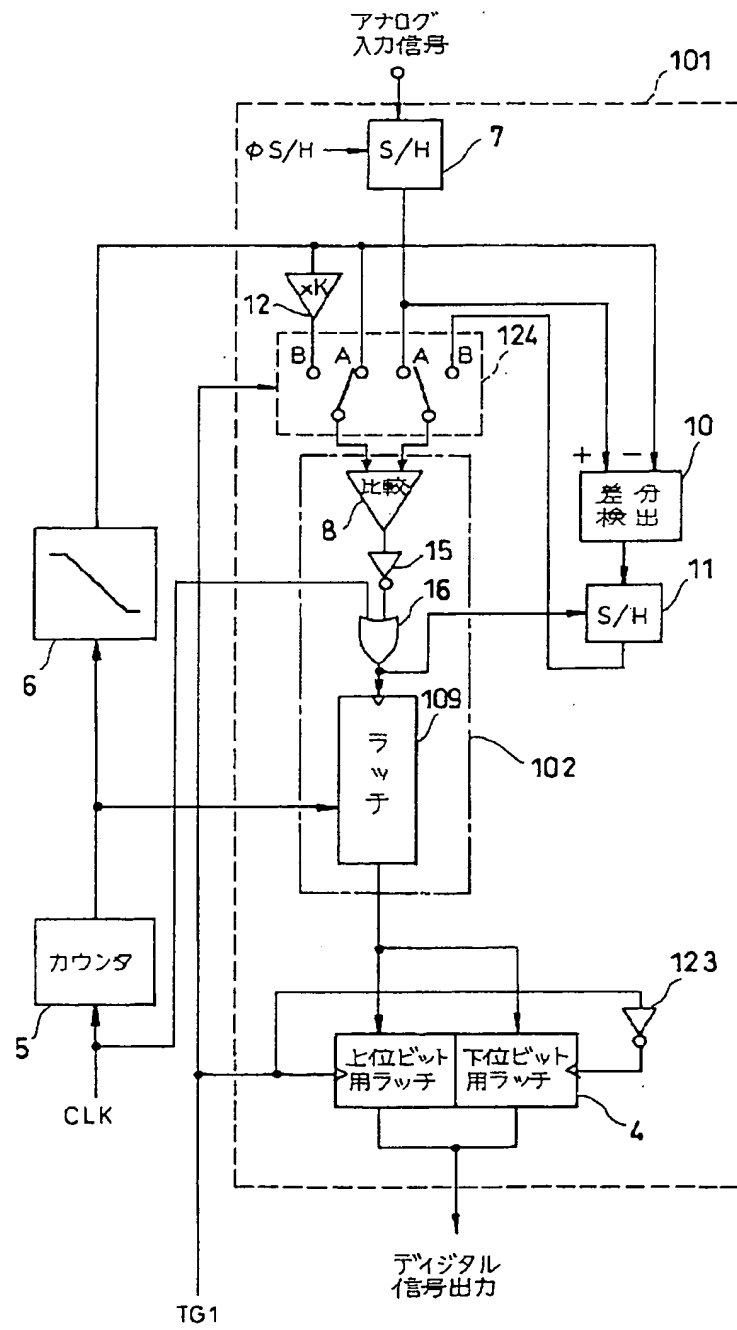
【図4】



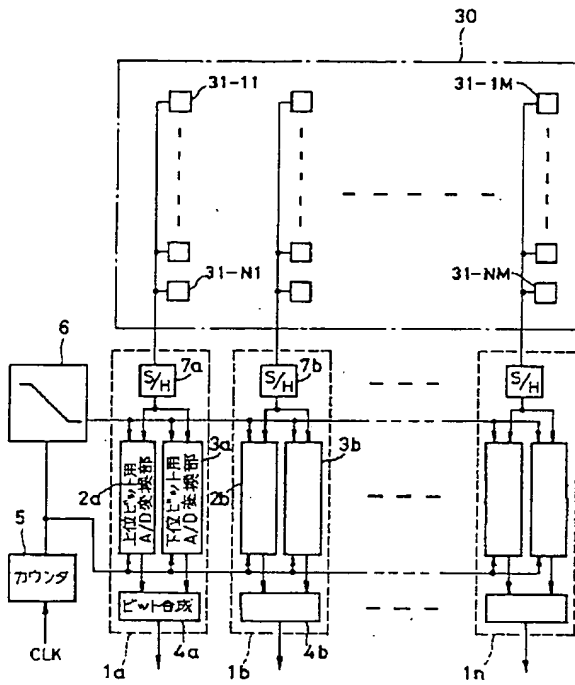
【図6】



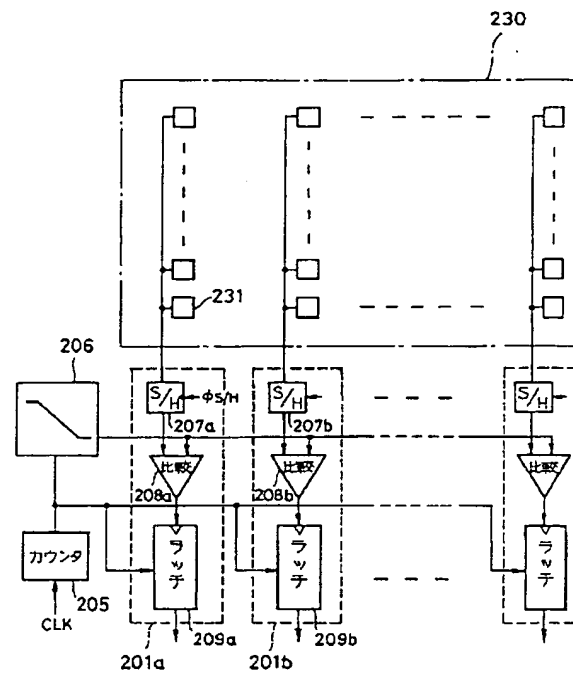
【図5】



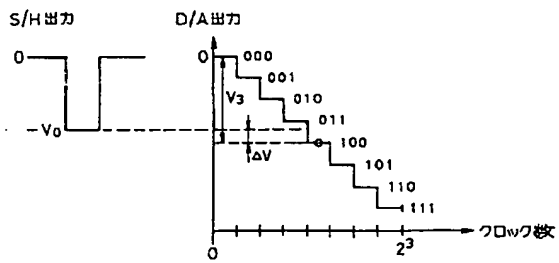
【図7】



【図8】



【図9】



【図10】

